

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-185860

⑫ Int. Cl.⁸

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)8月13日

H 01 L 27/115
29/788
29/792

8831-5F H 01 L 27/10 4 3 4
7514-5F 29/78 3 7 1

審査請求 未請求 請求項の数 4 (全18頁)

⑭ 発明の名称 不揮発性半導体記憶装置およびその製造方法

⑮ 特 願 平1-325395

⑯ 出 願 平1(1989)12月15日

⑰ 発 明 者 竹 潤 政 孝 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

不揮発性半導体記憶装置およびその製造方法

2. 特許請求の範囲

(1) 半導体基板上に第1ゲート絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に第2ゲート絶縁膜を介して形成され、浮遊ゲートと容量結合する制御ゲートとから構成されるメモリセルを複数個有し、前記メモリセルがマトリクス状に集積形成され、集積形成されたメモリセルはカラム方向にビット線を、ロウ方向にワード線を有する不揮発性半導体記憶装置において、

前記メモリセルで各々独立して島状に形成された前記制御ゲートと、

全面を被覆する第1の層間絶縁膜と、

前記第1の層間絶縁膜を貫通し、前記制御ゲートにそれぞれ達する第1のコンタクト孔と、

前記第1のコンタクト孔を介し、前記制御ゲートのうち、前記ロウ方向に隣接して存在するメモリセルの制御ゲート同士を互いに接続する第1

の配線と、

を具備することを特徴とする不揮発性半導体記憶装置。

(2) 前記第1の配線を被覆し全面に、さらに形成された第2の層間絶縁膜と、

前記第2の層間絶縁膜を貫通し、前記第1の配線にそれぞれ達する第2のコンタクト孔と、

第2のコンタクト孔を介し、前記ロウ方向に存在する前記第1の配線同士を互いにシャント接続する第2の配線と、

を具備することを特徴とする請求項(1)記載の不揮発性半導体記憶装置。

(3) 半導体基板上に第1ゲート絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に第2ゲート絶縁膜を介して形成され、浮遊ゲートと容量結合する制御ゲートとから構成されるメモリセルを複数個有し、前記メモリセルがマトリクス状に集積形成され、集積形成されたメモリセルはカラム方向にビット線を、ロウ方向にワード線を有する不揮発性半導体記憶装置の製造方法であ

って、

半導体基板上に、第1ゲート絶縁膜を形成する工程と、

前記第1ゲート絶縁膜上に、第1の導体層を形成する工程と、

前記第1の導体層上に、第2ゲート絶縁膜を形成する工程と、

前記第2ゲート絶縁膜上に、第2の導体層を形成する工程と、

前記第2の導体層、第2ゲート絶縁膜および第1の導体層を一括してパターニングし、各メモリセル領域で各々独立した島状に制御ゲート並びに浮遊ゲートを形成する工程と、

全面に第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜を貫通し、前記制御ゲートにそれぞれ達する第1のコンタクト孔を開孔する工程と、

全面に第3の導体層を形成する工程と、

前記第3の導体層をパターニングし、前記第1のコンタクト孔を介し、前記制御ゲートのうち、

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は不揮発性半導体記憶装置およびその製造に係わり、特に上記装置が浮遊ゲート電極と、制御ゲート電極とにより構成される記憶トランジスタを有する不揮発性半導体記憶装置およびその製造方法に関する。

(従来の技術)

記憶情報の書き替えが可能な不揮発性半導体記憶装置として、EPROM、E² PROMが良く知られている。

EPROM、E² PROMは、そのメモリセル部に電気的に浮遊状態にある浮遊ゲート電極と、ワード線として機能する制御ゲート電極とにより構成される記憶トランジスタを持っている。記憶情報は、上記浮遊ゲート電極の荷電状態によって決定され、記憶トランジスタの導通、非導通をもって、“1”、“0”の記憶情報に置き換える。

ところで、浮遊ゲート電極および制御ゲート電

前記ロウ方向に隣接して存在するメモリセルの制御ゲート同士を互いに接続する第1の配線を形成する工程と、

を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

(4) 第1の配線を被覆し全面に、さらに第2の層間絶縁膜を形成する工程と、

前記第2の層間絶縁膜を貫通し、前記第1の配線にそれぞれ達する第2のコンタクト孔を開孔する工程と、

全面に第4の導体層を形成する工程と、

前記第4の導体層をパターニングし、前記第2のコンタクト孔を介し、前記ロウ方向に存在する前記第1の配線同士を互いにシャント接続する第2の配線を形成する工程と、

を具備することを特徴とする請求項(3)記載の不揮発性半導体記憶装置の製造方法。

極の形成方法は、まず、第1ゲート絶縁膜上に、第1層ポリシリコン層を堆積形成し、これに、浮遊ゲート電極を各メモリセル毎に分離するセルスリットを開孔する。次いで、第2ゲート絶縁膜を形成し、第2層ポリシリコン層を堆積形成する。次いで、第2層ポリシリコン層を、ホトレジストを用いてワード線形状にパターニングするとともに、このワード線形状のホトレジストを用いて、自己整合的に第1層ポリシリコン層をエッチングし、各メモリセル毎に分離された浮遊ゲート電極を形成する(EPROMの従来例)。

以上のように、浮遊ゲート電極の形成を、ワード線に対して自己整合的に形成する方法が、従来一般的となっている。

また、ワード線は、各メモリセルで、制御ゲート電極を兼ねている。

さて、ワード線に対して自己整合的に浮遊ゲート電極を形成した工程での平面図、断面図をそれぞれ第25図および第26図に示す。第26図は、第25図中のM-M'線に沿う断面図である。

第25図および第26図に示すように、基板1表面には、フィールド酸化膜2が形成されている。図中の3はソース領域で、4はドレイン領域である。これらの領域の間には、第1ゲート絶縁膜5を介して浮遊ゲート電極6が形成されている。この浮遊ゲート電極6は、各メモリセル毎でそれぞれ分割して形成されている。浮遊ゲート電極6上には、第2ゲート絶縁膜7を介してワード線8が形成されている。このワード線8は、チャネル幅方向に隣接する各メモリセルに延在している。そして、各メモリセルで、制御ゲート電極として機能する。9は、ドレイン領域に対するコンタクト孔領域である。

さて、この従来構造における欠点を、以下に説明する。

まず、第1の欠点として、上記従来構造であると、制御ゲート電極(ワード線)8と、浮遊ゲート電極6との間に存在する第2ゲート絶縁膜の7の耐圧が低くなることが挙げられる。

これは、第1層ポリシリコンによる浮遊ゲート

電極6を形成するために、セルスリット10を開孔する。そして、セルスリット10を持ったまま、第2ゲート絶縁膜7を形成する点に問題がある。

つまり、セルスリット10を持ったまま酸化を行なうと、第25図中の円11内に示す角部では、ポリシリコンの酸化レートが平面部に比べて低いため、ここでは、膜厚の薄い第2ゲート絶縁膜7が形成されてしまう。

また、これとともに浮遊ゲート電極6にとっても角であり、この角には電界が集中しやすい。

以上の2点が相乗効果となって、第2ゲート絶縁膜7の耐圧低下を招いている。特に浮遊ゲート電極6の角における電界集中の点は、これに対向して制御ゲート電極8が存在していることから、想像もしない程の著しい耐圧の低下を引き起こす。

一旦、第2ゲート絶縁膜7が破壊されれば、制御ゲート電極8と、浮遊ゲート電極6とが導通状態となり、制御ゲート電極6の電位が直接、第1ゲート絶縁膜5にかかる。

このことは、第1ゲート絶縁膜5の膜厚によっ

て受けるダメージが異なるが、第1ゲート絶縁膜5に膜厚が、例えば100Å以下であるトンネル絶縁膜を持っている E^2 PROMでは、このトンネル絶縁膜が受ける上記ダメージは大きい。

E^2 PROMの場合で、第2ゲート絶縁膜の破壊が起こると、制御ゲート電極にかかる電圧(例えば20V程度)が、ほぼ直接トンネル絶縁膜にかかる。このため、トンネル絶縁膜も破壊されてしまう。この結果、制御ゲート電極(ワード線)と、基板とが短絡する。ここまでくると、第2ゲート絶縁膜破壊による1ビットの不具合だけではおさまらず、1本のワード線、例えば毎8ビット分、すなわち1バイト分は、書き込みも消去もできなくなってしまう。

このように、特に浮遊ゲート電極と、制御ゲート電極とからなる記憶トランジスタをメモリセルに内蔵する不揮発性半導体記憶装置では、たった1つの不良から多大な不良に繋がっていく可能性があり、個々のエレメントは非常に厳しいものを必要とする。

次に、第2の欠点として、第1層ポリシリコン層にセルスリット10を形成するというプロセス上の問題がある。

この問題となるプロセスは、第1層ポリシリコン層に対してセルスリット10をエッチング開孔する。そして、第2層ポリシリコン層を堆積してから、第2層ポリシリコン層、第1層ポリシリコン層を同時にエッチングしてワード線と、浮遊ゲート電極とをパターン形成する点である。

このようなプロセスであると、セルスリット10をエッチング開孔した部分には、第1層ポリシリコン層が残っていない。そして、セルスリット10をエッチング開孔した領域で、かつワード線8が通過しない領域においては、フィールド酸化膜2の局所的な膜減りが発生する。この膜減りした領域を図中の12に示す。

つまり、この膜減り領域12では、第2ゲート絶縁膜7と、浮遊ゲート電極6(第1層ポリシリコン層)との分が追加エッチングされることになるから、フィールド酸化膜2の膜減りが著しく起

このである。

最悪の場合、この膜減り領域12でのフィールド酸化膜2の膜厚が、最初に形成した膜厚の1/3程度のもので出現している。

このような膜減り領域12の上部に、例えばカラム選択線のような配線が走っていれば、膜減り領域12の直下でフィールド反転する恐れがあり、素子間リーク電流の原因となる。

このフィールド反転、ワード線8と基板1との短絡が起きた場合でも、やはり1ビット分の不良、あるいはそれ以上のロウ方向不良が発生する。

以上挙げた2つの欠点は、両者とも製造工程管理を厳しくすることで、その場はしのげるかもしれないが、これから先のことを考えると、やはり不揮発性半導体記憶装置と、その製造方法から根本的な対策を必要とする問題である。

(発明が解決しようとする課題)

この発明は上記ような点に鑑みて為されたもので、装置にあっては制御ゲート電極と、浮遊ゲート電極との間に存在する第2ゲート絶縁膜の耐圧

前記第1のコンタクト孔を介し、前記制御ゲートのうち、前記ロウ方向に隣接して存在するメモリセルの制御ゲート同士を互いに接続する第1の配線と、

を具備することを特徴とする。

さらに、(イ)項記載の不揮発性半導体記憶装置において、

(ロ) 前記第1の配線を被覆し全面に、さらに形成された第2の層間絶縁膜と、

前記第2の層間絶縁膜を貫通し、前記第1の配線にそれぞれ達する第2のコンタクト孔と、

第2のコンタクト孔を介し、前記ロウ方向に存在する前記第1の配線同士を互いにシャント接続する第2の配線と、

を具備することを特徴とする。

また、(イ)項記載の不揮発性半導体記憶装置の製造方法は、

(ハ) 半導体基板上に、第1ゲート絶縁膜を形成する工程と、

前記第1ゲート絶縁膜上に、第1の導体層を

を向上させ、また、その製造方法にあってはフィールド絶縁膜の局所的な膜減りを防止できる不揮発性半導体記憶装置およびその製造方法を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

この発明の不揮発性半導体記憶装置は、

(イ) 半導体基板上に第1ゲート絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に第2ゲート絶縁膜を介して形成され、浮遊ゲートと容量結合する制御ゲートとから構成されるメモリセルを複数個有し、前記メモリセルがマトリクス状に集積形成され、集積形成されたメモリセルはカラム方向にビット線を、ロウ方向にワード線を有する不揮発性半導体記憶装置において、

前記メモリセルで各々独立して島状に形成された前記制御ゲートと、

全面を被覆する第1の層間絶縁膜と、

前記第1の層間絶縁膜を貫通し、前記制御ゲートにそれぞれ達する第1のコンタクト孔と、

形成する工程と、

前記第1の導体層上に、第2ゲート絶縁膜を形成する工程と、

前記第2ゲート絶縁膜上に、第2の導体層を形成する工程と、

前記第2の導体層、第2ゲート絶縁膜および第1の導体層を一括してパターニングし、各メモリセル領域で各々独立した島状に制御ゲート並びに浮遊ゲートを形成する工程と、

全面に第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜を貫通し、前記制御ゲートにそれぞれ達する第1のコンタクト孔を開孔する工程と、

全面に第3の導体層を形成する工程と、

前記第3の導体層をパターニングし、前記第1のコンタクト孔を介し、前記制御ゲートのうち、前記ロウ方向に隣接して存在するメモリセルの制御ゲート同士を互いに接続する第1の配線を形成する工程と、

を具備することを特徴とする。

また、(ロ)項記載の不揮発性半導体記憶装置の製造方法は、(ハ)項記載の不揮発性半導体記憶装置の製造方法に、さらに加えて、

第1の配線を被覆し全面に、さらに第2の層間絶縁膜を形成する工程と、

前記第2の層間絶縁膜を貫通し、前記第1の配線にそれぞれ達する第2のコンタクト孔を開孔する工程と、

全面に第4の導体層を形成する工程と、

前記第4の導体層をパターンニングし、前記第2のコンタクト孔を介し、前記ロウ方向に存在する前記第1の配線同士を互いにシャント接続する第2の配線を形成する工程と、

を具備することを特徴とする。

(作用)

上記のような不揮発性半導体記憶装置およびその製造方法にあっては、まず、第1の導体層にセルスリットを形成しない。これによって、第2ゲート絶縁膜が極力平坦な第1の導体層に形成されるから、局所的に膜厚が薄くなるような第2ゲ-

ート絶縁膜は形成されにくくなる。

また、第1の導体層と、第2の導体層とを同一のパターンニング工程で、浮遊ゲート電極、制御ゲート電極のパターンに形成するから、フィールド絶縁膜に重複するエッチング箇所がなくなって、フィールド絶縁膜の膜減りも起こらない。

また、構造的には、浮遊ゲート電極上のみに、制御ゲート電極が形成される形となるから、浮遊ゲート電極の角と、制御ゲート電極とが対向するような箇所はなくなり、局所的な電界集中による第2ゲート絶縁膜破壊もなくなる。

(実施例)

以下、図面を参照して、この発明の実施例に係わる不揮発性半導体記憶装置およびその製造方法について説明する。

第1図は、この発明の第1の実施例に係わるEPROMの2ビット分のメモリセル部を示すパターン平面図、第2図は、第1図中のA-A'線に沿う断面図である。第1図、第2図において、従来の第25図、第26図と同一部分については、

同一の参照符号を付し、重複する説明は避ける。

第1図および第2図に示すように、本発明の特徴としては、制御ゲート電極8を、浮遊ゲート電極6と同様に、各メモリセルで、それぞれ分割した点にある。

第1図および第2図について説明すると、層間絶縁膜13には、各制御ゲート電極8に通じるコンタクト孔14が開孔されている。このコンタクト孔14を介して配線15を配し、これによってワード線方向、すなわちチャネル幅方向に隣接する制御ゲート電極8を、それぞれ接続している。これによって、制御ゲート電極8が、各メモリセルのおのおので分割されたとしても、ワード線方向に隣接する制御ゲート電極8は、配線15で互いに接続されているのでワード線として機能できる。

なお、図中の16はビット線であり、後述するが上記配線15と同一の導体層で構成され、同時のパターンニングによって得られる。9はビット線16のコンタクト部である。

次に、第3図を参照して、第1の実施例装置の

第2ゲート絶縁膜耐圧向上の効果について説明する。

第3図は、制御ゲート印加電圧と、第2ゲート絶縁膜を流れる微少な制御ゲート～浮遊ゲート間電流との相関図である。

第3図中、曲線aは、従来装置(第25図、第26図参照)における第2ゲート絶縁膜耐圧特性曲線であり、曲線bは、本発明装置(第1図、第2図参照)における第2ゲート絶縁膜耐圧特性曲線である。

第3図に示すように、曲線aと、曲線bとを同一グラフ上にプロットしてみると、本発明に係わっている曲線bは、曲線aより下に位置し、従来装置よりも制御ゲート～浮遊ゲート間電流が少なくなっていることが分かる。

また、制御ゲート印加電圧が大体12V以上になると、曲線aと、曲線bとの差が一段と大きくなっている。これは、従来装置では、大きな上記電流が流れだすのだが、本発明装置では、上記電流が抑制されることを表している。

以上のように、本発明装置では、第2ゲート絶縁膜の耐圧が向上する。

では、次に、第1の実施例装置の製造方法について、第4図(a)ないし第4図(c)を参照して説明する。

第4図(a)ないし第4図(c)は、第2図と同じ部分の断面を製造工程順に示した断面図である。第1図、第2図と同一の部分については、同一の符号を付し、重複する説明は避ける。

まず、第4図(a)に示すように、基板1の表面に、例えば選択酸化法によってフィールド絶縁膜2を形成する。次いで、分離された素子領域表面に、第1ゲート絶縁膜5を、例えば熱酸化によって形成する。次いで、第1層ポリシリコン層6を、例えばCVD法によって堆積形成し、次いで、その表面に、例えば熱酸化によって第2ゲート絶縁膜7を形成する。次いで、第2層ポリシリコン層8を、例えばCVD法により堆積形成する。

次に、第4図(b)に示すように、全面にホットレジスト17を塗布し、これを写真蝕刻法を用い

て制御ゲート電極並びに浮遊ゲート電極形成パターンにパターンニングする。次いで、パターン形成されたホットレジスト17をマスクにして、第2層ポリシリコン層8、第2ゲート絶縁膜7、第1層ポリシリコン層6を順次、RIE法(異方性エッチング)によってエッチングする。次いで、図示されないソース/ドレイン拡散層形成領域上の第1ゲート絶縁膜5をエッチングし、基板1表面を露出する。

次に、第4図(c)に示すように、基板1表面が露出した部分(図示せず)に、例えば熱酸化法によって再度ゲート酸化を行なう。このとき、ポリシリコンで構成された制御ゲート電極8、および浮遊ゲート電極6の表面に熱酸化膜18が形成される(第2図では省略している)。次いで、層間絶縁膜13を、例えばCVD法によって堆積形成する。次いで、熱処理を加えた後、全面にホットレジスト(図示せず)を塗布し、これに対してコンタクト孔開孔パターンを、写真蝕刻法によってパターン形成する。次いで、パターン形成された

ホットレジスト(図示せず)をマスクにして、CDE法(等方性エッチング)、およびRIE法(異方性エッチング)によってコンタクト孔14を開孔する。次いで、ホットレジスト(図示せず)を除去した後、例えばスパッタ法により、第1層アルミニウム膜を形成する。次いで、このアルミニウム膜を、例えばホットレジスト(図示せず)を用いた写真蝕刻法によってチャネル幅方向に隣接するメモリセルを接続する配線15、およびビット線16形状にパターンニングする。

なお、メモリセルは複数個あり、これらがマトリクス状に集積形成される。また、配線15はロウ方向に形成され、ビット線はカラム方向に形成される。

以上の工程をもって第1の実施例装置が製造される。

このような、第1の実施例に係わるEPROMおよびその製造方法であると、まず、装置では、第3図を参照して説明したように、第2ゲート絶縁膜7の耐圧が向上する。

これは、従来のように第1層ポリシリコン層6にセルスリットを形成しないため、第1層ポリシリコン層6の表面が極力平坦な状態にて、第2ゲート絶縁膜7が形成されること。

また、これとともに、浮遊ゲート電極4と、制御ゲート電極8との間に、電界集中を起こす要因である浮遊ゲート電極6の角と、制御ゲート電極8とが対向する箇所が存在しないことによる。

さらに、その製造方法では、セルスリットを第1層ポリシリコン層6に形成せず、セルスリット開孔と、積層構造ゲート(制御ゲート8と、浮遊ゲート6)とのパターンニング写真蝕刻工程を一本化している。この結果、フィールド絶縁膜2の局所的な膜減りも起こらない。

これらのことから、第1の実施例装置は高耐圧である第2ゲート絶縁膜を有し、また、その製造方法では、フィールド絶縁膜の膜減りも起こらず、結果として、特にロウ方向不良に強い高信頼性の装置となる。

また、第1の実施例装置の効果として、動作速

度の向上の点が挙げられる。

これは、メモリセル個々で分割された制御ゲート電極（ポリシリコン）8を、例えばアルミニウムのような抵抗の小さい物質でチャネル幅方向に接続し、これをワード線とするからである。

さらに、本発明装置にかかる構造をみると、第2層ポリシリコン層8が、フィールド絶縁膜2上に直接接してまたぐパターンがなくなっている。

これによる効果は、以下のような点である。

従来構造では、第2層ポリシリコン層8が、フィールド絶縁膜2上に接して跨いでいたため、フィールド絶縁膜直下が反転しないように高濃度のフィールド反転防止用のイオン注入を必要としていた。

しかし、本発明装置の構造によれば、上記フィールド反転防止用のイオン注入の際、従来と同程度のドーズ量で、従来構造よりも反転耐性を向上できる。例えば、層間絶縁膜13の膜厚次第では、反転耐性を、例えば倍以上に上げることも可能である。

照符号を付し、重複する説明は避ける。

第5図および第6図に示すように、第2の実施例装置の特徴としては、配線15に接続され、ワード線幹線となる第2の配線21を付加した点にある。

第5図および第6図について説明すると、層間絶縁膜13上には、さらに第2の層間絶縁膜19が堆積され、これに配線15に通じる第2のコンタクト孔20が開孔されている。この第2のコンタクト孔20を介してチャネル幅方向に走る第2の配線21が形成されている。

この第2の配線21は、実際の装置では、第5図および第6図に示すような2ビット分のパターンを、チャネル幅方向に所定ビット数繰り返している。例えば8ビットの場合は、第5図および第6図のパターンを、チャネル幅方向に4回繰り返せば良い。

結果として、第2の配線21は、幹線的なワード線機能を果たし、これに接続されている各配線15に対して、ワード線電位を分配供給し、配線

また、これだけではなく、反転耐性が従来と同程度で良ければ、上記イオン注入の際にドーズ量を下げることにもできる。上記ドーズ量を下げれば、例えば基板1中の欠陥発生を抑制できる等の効果もある。

また、製造方法において、浮遊ゲート電極パターンニング写真蝕刻工程と、制御ゲート電極パターンニング写真蝕刻工程とを一本化していることから、従来に比較し、1回分のパターンニング写真蝕刻工程が省略される。よって、製造コストの低減を図れる。

そして、これとともに、製造歩留りの向上も達成できる。

次に、第5図および第6図を参照して、第2の実施例について説明する。

第5図は、この発明の第2の実施例に係わるEPR OMの2ビット分のメモリセル部を示すパターン平面図、第6図は、第5図中のB-B'線に沿う断面図である。第5図、第6図において、第1図、第2図と同一部分については、同一の参

照符号を付し、重複する説明は避ける。

第5図および第6図に示すように、第2の実施例装置の特徴としては、配線15に接続され、ワード線幹線となる第2の配線21を付加した点にある。

第5図および第6図について説明すると、層間絶縁膜13上には、さらに第2の層間絶縁膜19が堆積され、これに配線15に通じる第2のコンタクト孔20が開孔されている。この第2のコンタクト孔20を介してチャネル幅方向に走る第2の配線21が形成されている。

この第2の配線21は、実際の装置では、第5図および第6図に示すような2ビット分のパターンを、チャネル幅方向に所定ビット数繰り返している。例えば8ビットの場合は、第5図および第6図のパターンを、チャネル幅方向に4回繰り返せば良い。

結果として、第2の配線21は、幹線的なワード線機能を果たし、これに接続されている各配線15に対して、ワード線電位を分配供給し、配線

また、これだけではなく、反転耐性が従来と同程度で良ければ、上記イオン注入の際にドーズ量を下げることにもできる。上記ドーズ量を下げれば、例えば基板1中の欠陥発生を抑制できる等の効果もある。

また、製造方法において、浮遊ゲート電極パターンニング写真蝕刻工程と、制御ゲート電極パターンニング写真蝕刻工程とを一本化していることから、従来に比較し、1回分のパターンニング写真蝕刻工程が省略される。よって、製造コストの低減を図れる。

そして、これとともに、製造歩留りの向上も達成できる。

次に、第5図および第6図を参照して、第2の実施例について説明する。

第5図は、この発明の第2の実施例に係わるEPR OMの2ビット分のメモリセル部を示すパターン平面図、第6図は、第5図中のB-B'線に沿う断面図である。第5図、第6図において、第1図、第2図と同一部分については、同一の参

ては、第4図(c)では、配線15が各制御ゲート電極8を互いに接続するパターンであるのに対し、第7図(a)では、配線15が少なくとも2ビット分の制御ゲート電極8を互いに接続するパターンとなっている点である。したがって、配線15をパターンニングするマスクパターンが異なっている。

次に、第7図(b)に示すように、配線15、ビット線16をパターンニングした後、第2の層間絶縁膜19を堆積形成し、平坦化する。次いで、全面にホトレジスト(図示せず)を塗布し、これに対してコンタクト孔開孔パターンを、写真蝕刻法によってパターン形成する。次いで、パターン形成されたホトレジスト(図示せず)をマスクにして、CDE法(等方性エッチング)、およびRIE法(異方性エッチング)によって第2のコンタクト孔20を開孔する。次いで、ホトレジスト(図示せず)を除去した後、例えばスパッタ法により、第2層アルミニウム膜を形成する。次いで、このアルミニウム膜を、例えばホトレジスト

電極、および配線を構成する材料を変えても、発明の効果を阻害するようなことはなく、本発明の主旨を逸脱する範囲ではない。

次に、第8図ないし第10図を参照して、第3の実施例について説明する。

第8図は、この発明の第3の実施例にかかる E^2 PROMの2ビット分のメモリセル部を示すパターン平面図、第9図は、第8図中のC-C'線に沿う断面図、第10図は、第8図中のD-D'線に沿う断面図である。第8図ないし第10図において、第1図、第2図と同一の部分については、同一の参照符号を付し、重複する説明は避ける。

第8図ないし第10図に示すように、この第3の実施例装置の特徴は、第1の実施例で説明した装置構造を、 E^2 PROMに応用した点である。

第8図ないし第10図について説明すると、 E^2 PROMでは、その機能上、浮遊ゲート電極6下の一部に第1ゲート絶縁膜5よりも膜厚が厚いトンネル絶縁膜22が設けられている。

(図示せず)を用いた写真蝕刻法によってチャネル幅方向に隣接する配線15を互いに接続する第2の配線21形状にパターンニングする。

以上の工程をもって第2の実施例装置が製造される。

このような第2の実施例に係わるEPRMであると、第1の実施例で説明した効果に加えて、上述したように、いっそうの動作の高速化が期待できる。

尚、第1、第2の実施例では、浮遊ゲート電極6、制御ゲート電極8は、ポリシリコンにて構成されたが、他の導体で構成されても構わない。例えばポリサイド構造膜、あるいはシリサイドであってもよい。

また、配線15、第2の配線21は、アルミニウムにて構成されたが、これらも他の導体で構成されても構わない。例えばアルミニウムと、他の金属との合金、あるいはタングステン等の金属膜であってもよい。

これらのように、浮遊ゲート電極、制御ゲート

さらに、浮遊ゲート電極6、制御ゲート電極8からなる記憶トランジスタの他に、選択トランジスタを有している。

選択トランジスタは、記憶トランジスタ(浮遊ゲート電極6と制御ゲート電極8とから成る)のドレイン領域4側に存在している。

実施例では、第8図に示すように、第1ゲート絶縁膜23上に形成された第1選択ゲート電極24と、この第1選択ゲート電極24上に、第2ゲート絶縁膜25を介して形成された第2選択ゲート電極26を持つ、いわゆる積層選択ゲート構造を持った選択トランジスタとなっている。

図中の4'は、記憶トランジスタと、選択トランジスタとを接続する基板1と反対導電型の拡散層である。

尚、トンネル絶縁膜22下の領域も、基板1と反対導電型の拡散層である(図示せず)。

このように、 E^2 PROMに、第1の実施例で説明した構造を応用してもよい。

この場合でも、特に記憶トランジスタの箇所に

において、第1の実施例で説明した効果と同様な効果があることはもちろんである。

第3の実施例装置の製造方法は、第1の実施例装置と同様な方法で、第1ゲート絶縁膜5を形成した後、トンネル絶縁膜形成領域部のみ、第1ゲート絶縁膜5を選択的に除去する。次いで、第1ゲート絶縁膜5が除去された箇所に、トンネル絶縁膜22を、例えば熱酸化により形成する。

この後は、第4図(a)ないし第4図(c)に説明した第1の実施例装置の製造方法と、ほぼ同様な工程で製造できる。

ただし、第2層ポリシリコン層を堆積形成した後、引き続いて行なわれる写真蝕刻工程の際、制御ゲート電極8のパターンに加えて、第2選択ゲート電極26のパターンを付加することは必要である。

次に、第11図ないし第14図を参照して、第4の実施例について説明する。

第11図は、この発明の第4の実施例にかかる E^2 PROMの2ビット分のメモリセル部を示す

パターン平面図、第12図は、第11図中のE-E'線に沿う断面図、第13図は、第11図中のF-F'線に沿う断面図、第14図は、第13図に示す断面の、選択ゲート端部の断面図である。第5図、第6図、および第8図ないし第10図と同一の部分については、同一の参照符号を付し、重複する説明は避ける。

第11図ないし第14図に示すように、この第4の実施例装置の特徴は、第2の実施例で説明した装置構造を、 E^2 PROMに応用した点である。

第11図ないし第14図について説明すると、選択トランジスタ(第11図中F-F'線付近)の第1、第2選択ゲート電極24および26上には、第2層アルミニウム膜で構成された第3の配線27が形成されている。この第3の配線27は、第14図に示すように、選択ゲート線の端部で、第1選択ゲート電極24および第2選択ゲート電極26に接続されている。

なお、第1の選択ゲート電極24および第2選択ゲート電極26と、第3の配線27との接続は、

上記端部のみでなく、もちろんその他の箇所に上記接続を行なっても良い。例えば、1バイト毎に上記接続を行なっても良い。

この接続関係は、第14図に示すように、第2層ポリシリコン層(第2選択ゲート電極)26が選択的に剥離された部分28が存在し、ここには、層間絶縁膜13に、第1層ポリシリコン層(第1選択ゲート電極)24に通じるコンタクト孔29が開孔されている。このコンタクト孔29内には、第1層アルミニウム膜にて構成されたコンタクト電極30が形成され、第1層ポリシリコン層24と、第2層ポリシリコン層26とを接続している。

さらに第2の層間絶縁膜19には、コンタクト電極30に通じるコンタクト孔31が開孔され、ここを介して、第3の配線が、コンタクト電極30に接続されている。

結果として、第3の配線27は、選択ゲート線のバイパス線機能を果たす。

このような第4の実施例に係わる装置であると、第2の実施例で説明した効果があることはもちろ

んのこと、さらに加えて、抵抗値が比較的小さいアルミニウムで構成された第3の配線27が、選択ゲート電極24および26にシャント接続されているので、選択ゲート線においても、動作速度の向上が期待できる。

また、第4の実施例装置の製造方法は、第3の実施例装置と同様な方法で、トンネル絶縁膜22を形成してから、第1の実施例装置と同様な方法で、第1層ポリシリコン層6、24、第2ゲート絶縁膜7、25、第2層ポリシリコン層8、26を形成する。

次いで、第3の実施例と同様、選択ゲートパターンを付加したパターン(第2層ポリシリコン層26パターン)で写真蝕刻工程を行なう。

次いで、第2層ポリシリコン層8、26を、選択ゲート線の端部のみ、選択的に剥離する(この部分は第14図中、28に図示されている)。

次いで、ポリシリコン層25、26にコンタクト開孔を行った後、第2の実施例同様、第1層アルミニウム膜を形成し、引き続いて、これを配線

15、ビット線16、加えてコンタクト電極30パターンに、パターン形成する。次いで、第2の層間絶縁膜19を堆積形成し、平坦化した後、これにコンタクト孔開孔を行なってから、第2層アルミニウム膜を形成する。次いで、この第2層アルミニウム膜を、第2の配線21、第3の配線27パターンにパターン形成する。

以上のような製造方法によって、第4の実施例装置が製造できる。

次に、第15図および第16図を参照して、第5の実施例について説明する。

第15図は、この発明の第5の実施例にかかるEPRMの2ビット分のメモリセル部を示すパターン平面図、第16図は、第15図中のG-G'線に沿う断面図である。第15図および第16図において、第1図、第2図と同一の部分については、同一の参照符号を付し、重複する説明は避ける。

第15図および第16図に示すように、この第5の実施例装置の特徴は、第1の実施例で説明し

および第16図と同一の部分については、同一の参照符号を付し、重複する説明は避ける。

第17図および第18図に示すように、この第6の実施例装置の特徴は、第2の実施例で説明したEPRMを、2バス方式にした点である。

このようにしても、もちろん良い。

次に、第19図ないし第21図を参照して、第7の実施例について説明する。

第19図は、この発明の第7の実施例にかかるE²PRMの2ビット分のメモリセル部を示すパターン平面図、第20図は、第19図中のI-I'線に沿う断面図、第21図は、第19図中のJ-J'線に沿う断面図である。第8図～第10図、第15図、および第16図と同一の部分については、同一の参照符号を付し、重複する説明は避ける。

第19図ないし第21図に示すように、この第7の実施例装置の特徴は、第3の実施例で説明したE²PRMを、2バス方式にした点である。

また、同実施例では、さらに、読み出しトラン

ジスタを有している。

第15図および第16図について説明すると、ドレイン領域4には、コンタクト孔9、'を介してドレイン配線（ビット線）16、が接続されている。

一方、ソース領域3にも、同様にコンタクト孔9、'を介してソース配線16、が接続されている。

このように、2バス方式のEPRMに本発明を適用してもよい。

また、ドレイン配線16、およびソース配線16、は、配線15を構成するアルミニウム膜と、同一の膜で形成できる。

次に、第17図および第18図を参照して、第6の実施例について説明する。

第17図は、この発明の第6の実施例にかかるEPRMの2ビット分のメモリセル部を示すパターン平面図、第18図は、第15図中のH-H'線に沿う断面図である。第17図および第18図において、第5図、第6図、第15図、お

ジスタを有している。

第19図ないし第21図について説明すると、読み出しトランジスタは、記憶トランジスタ（浮遊ゲート電極6と制御ゲート電極8とから成る）のソース領域3側に存在している。

実施例では、この読み出しトランジスタも、積層ゲート構造をもっている。

この積層ゲート構造は、特に第21図に示すように、第1層ポリシリコン層からなる第1の読み出しゲート電極32と、この上に絶縁膜を介して形成された第2層ポリシリコン層からなる第2の読み出しゲート電極33とにより構成されている。

図中の3'は、記憶トランジスタと読み出しトランジスタとを接続する基板1と反対導電型の拡散層である。

尚、トンネル絶縁膜22の下の領域も、基板1と反対導電型の拡散層である（図示せず）。

このようにしても、もちろん良い。

次に、第22図ないし第24図を参照して、第8の実施例について説明する。

第22図は、この発明の第8の実施例にかかるE²PR0Mの2ビット分のメモリセル部を示すパターン平面図、第23図は、第22図中のK-K'線に沿う断面図、第24図は、第22図中のL-L'線に沿う断面図である。第11図～第13図、第17図、および第18図と同一の部分については、同一の参照符号を付し、重複する説明は避ける。

第22図ないし第24図に示すように、この第8の実施例装置の特徴は、第4の実施例で説明したE²PR0Mを、2バス方式にした点である。

また、同実施例では、さらに、読み出しトランジスタを有している。

第22図ないし第24図について説明すると、読み出しトランジスタ(図中32、33の部分)の上には、第2層アルミニウム膜で構成された第4の配線34が形成されている。この第4の配線34は、読み出しゲート線の端部で、第1読み出しゲート電極32、第2読み出しゲート電極33に接続されている。

えば制御ゲート電極等に通じるように開孔される各種コンタクト孔は、素子の設計要求に応じて、その形状、および開孔位置は種々変更が可能である。同様に、各種配線のパターンも種々変更が可能である。

〔発明の効果〕

以上説明したように、この発明によれば、装置にあっては、制御ゲート電極と、浮遊ゲート電極との間に存在する第2ゲート絶縁膜の耐圧が向上し、また、その製造方法にあっては、フィールド絶縁膜の局所的な膜減りが発生しない不揮発性半導体記憶装置およびその製造方法が提供される。

4. 図面の簡単な説明

第1図は本発明の第1の実施例に係わるEPR0Mのパターン平面図、第2図は第1図中のA-A'線に沿う断面図、第3図は、本発明装置と従来装置とにおける制御ゲート印加電圧と制御ゲート～浮遊ゲート間電流との相関図、第4図(a)ないし第4図(c)は第1の実施例装置を製造工程順に示した断面図、第5図は第2の実

なお、第1の読み出しゲート電極32および第2の読み出しゲート電極33と、第4の配線34との接続は、上記端部のみでなく、その他の箇所にて上記接続を行なっても、もちろん良い。例えば、1バイト毎に上記接続を行なっても良い。

この接続方法は、第4の実施例で説明した第3の配線27と、第1選択ゲート電極24および第2選択ゲート電極26との接続方法と、同じ方法でよい。

このように第8の実施例では、第4の実施例での効果、および2バス方式の効果に加えて、抵抗値が比較的小さいアルミニウムで構成された第4の配線34が、読み出しゲート電極32、33にシャント接続されているので、読み出しゲート線における動作速度の向上が期待できる。

尚、第3ないし第8の実施例でも、第1、第2の実施例同様、各種ゲート電極の構成材料、および各種配線の構成材料を変えても、発明の効果を阻害するようなことはないことはもちろんである。

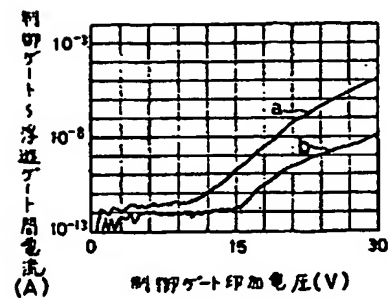
さらに、第1ないし第8の実施例において、例

例に係わるEPR0Mのパターン平面図、第6図は第5図中のB-B'線に沿う断面図、第7図

(a)および第7図(b)は第2の実施例装置を製造工程順に示した断面図、第8図は第3の実施例に係わるE²PR0Mのパターン平面図、第9図は第8図中のC-C'線に沿う断面図、第10図は第8図中のD-D'線に沿う断面図、第11図は第4の実施例に係わるE²PR0Mのパターン平面図、第12図は第11図中のE-E'線に沿う断面図、第13図は第11図中のF-F'線に沿う断面図、第14図は第13図における断面の選択ゲート端部の断面図、第15図は第5の実施例に係わるEPR0Mのパターン平面図、第16図は第15図中のG-G'線に沿う断面図、第17図は第6の実施例に係わるEPR0Mのパターン平面図、第18図は第17図中のH-H'線に沿う断面図、第19図は第7の実施例に係わるE²PR0Mのパターン平面図、第20図は第19図中のI-I'線に沿う断面図、第21図は第19図中のJ-J'線に沿う断面図、第22図

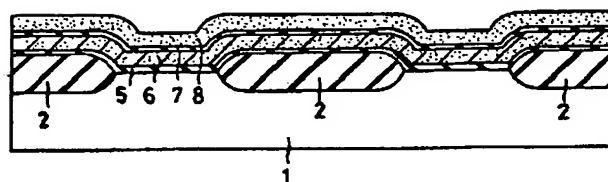
は第8の実施例に係わる E^2 PROMのパターン平面図、第23図は第22図中のK-K'線に沿う断面図、第24図は第22図中のL-L'線に沿う断面図、第25図は従来装置の一製造工程における平面図、第26図は第25図のM-M'線に沿う断面図である。

1…半導体基板、3…ソース領域、4…ドレイン領域、5…第1ゲート絶縁膜、6…浮遊ゲート電極、7…第2ゲート絶縁膜、8…制御ゲート電極、13…層間絶縁膜、14…コンタクト孔、15…配線、21…第2の配線。

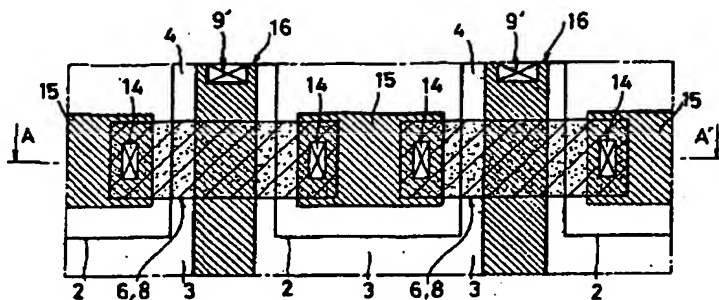


第3図

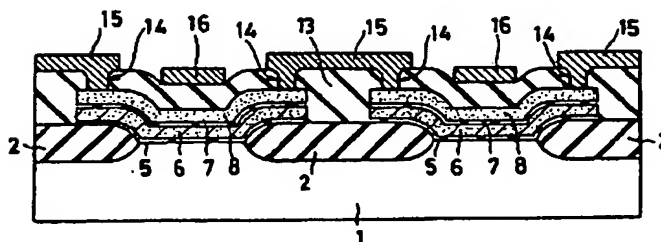
出願人代理人 弁理士 鈴江武彦



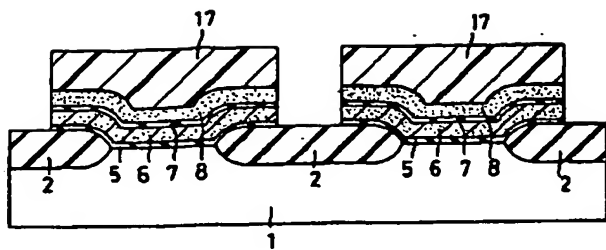
第4図(a)



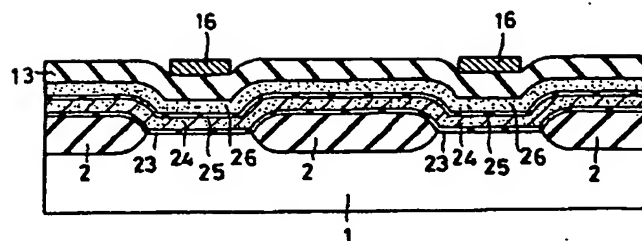
第1図



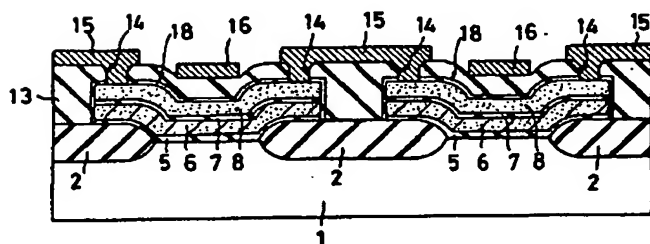
第2図



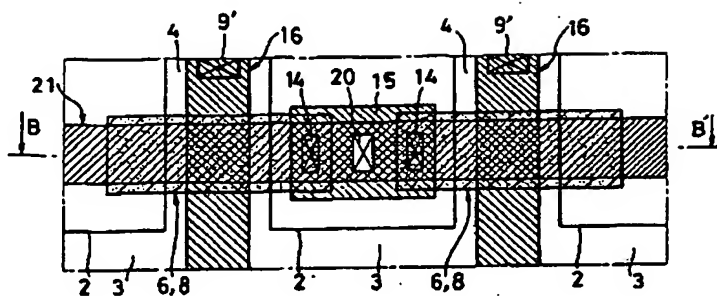
第4図(b)



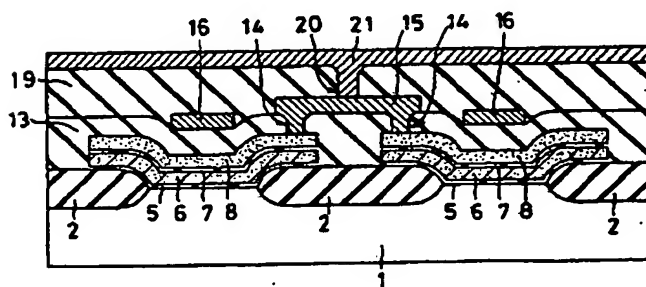
第10図



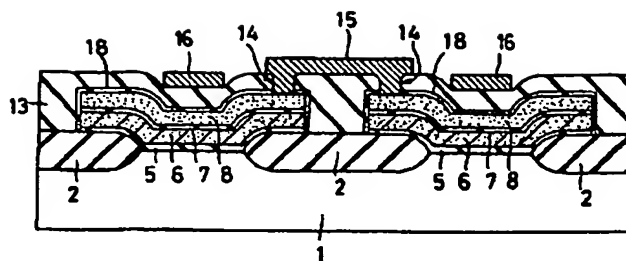
第4図(c)



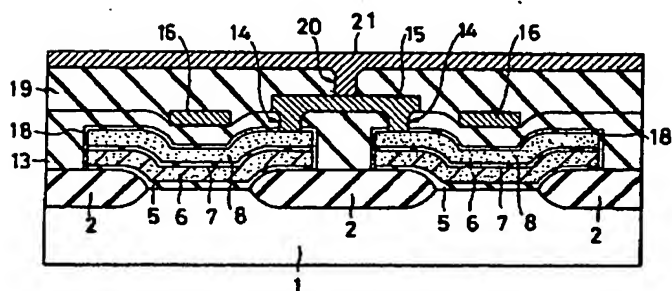
第5図



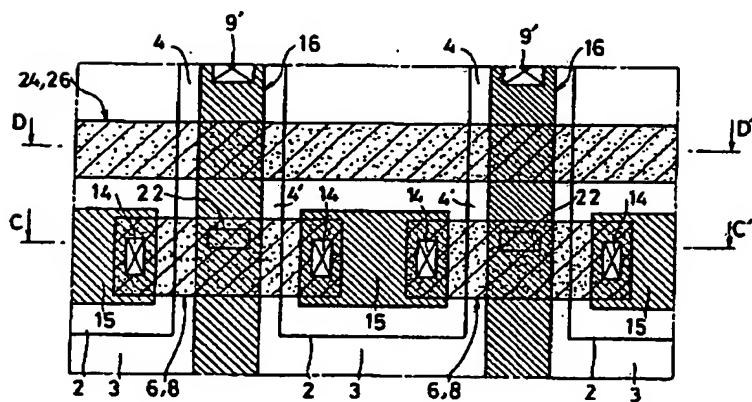
第6図



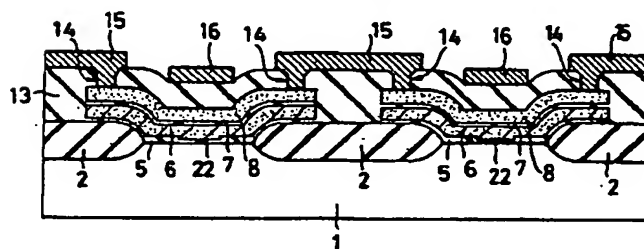
第 7 区 (a)



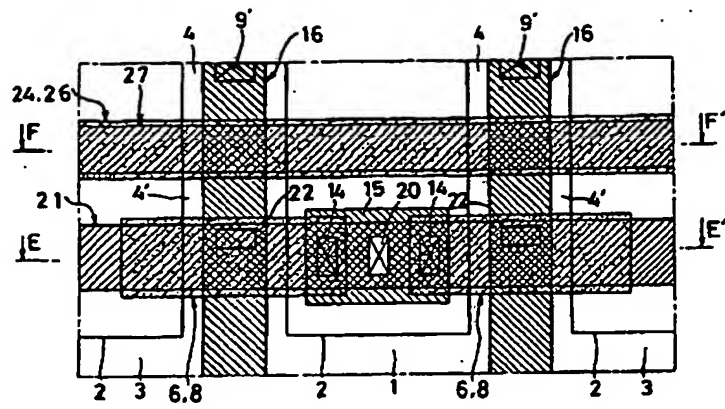
第 7 圖 (b)



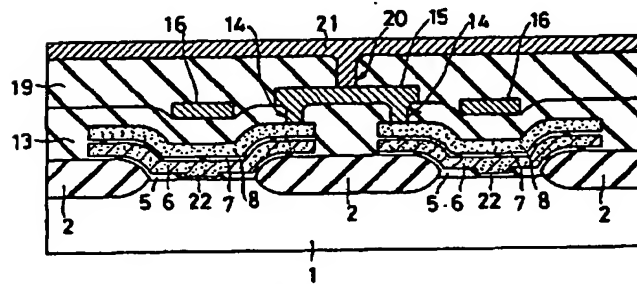
第 8 图



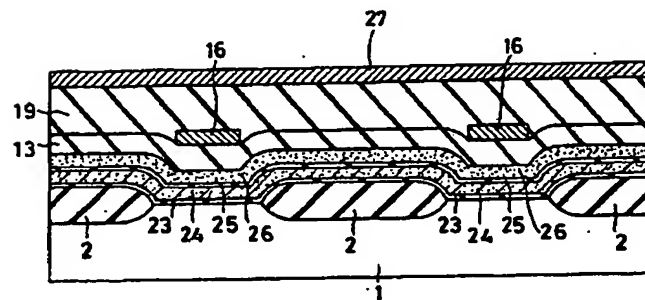
第 9 圖



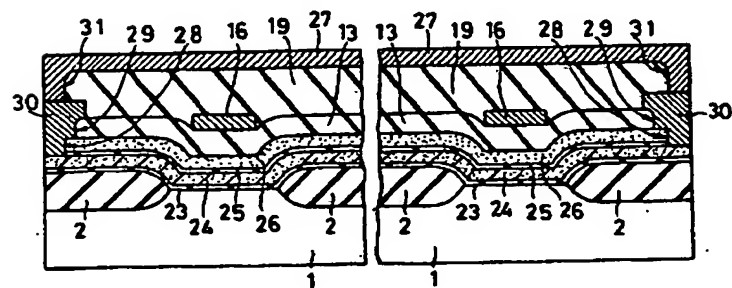
第 11 図



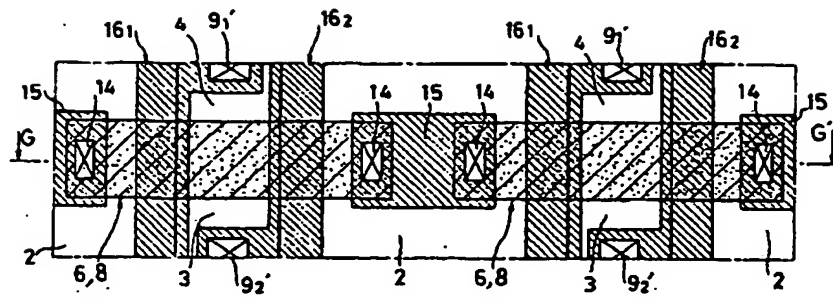
第 12 図



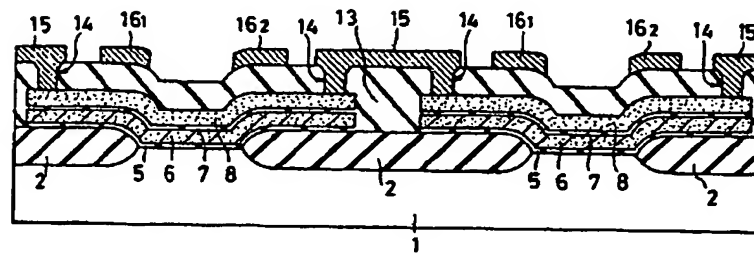
第 13 図



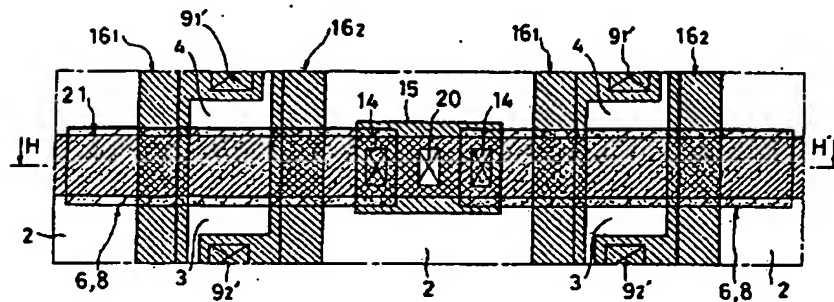
第 14 図



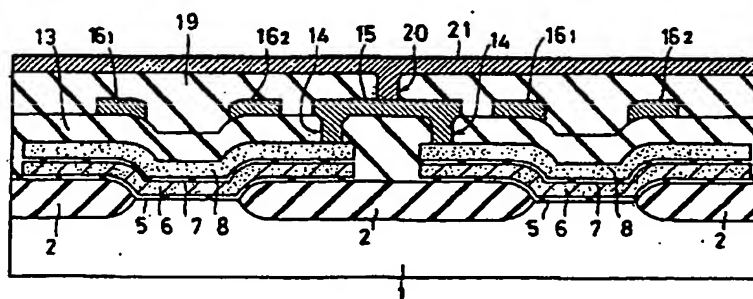
第15図



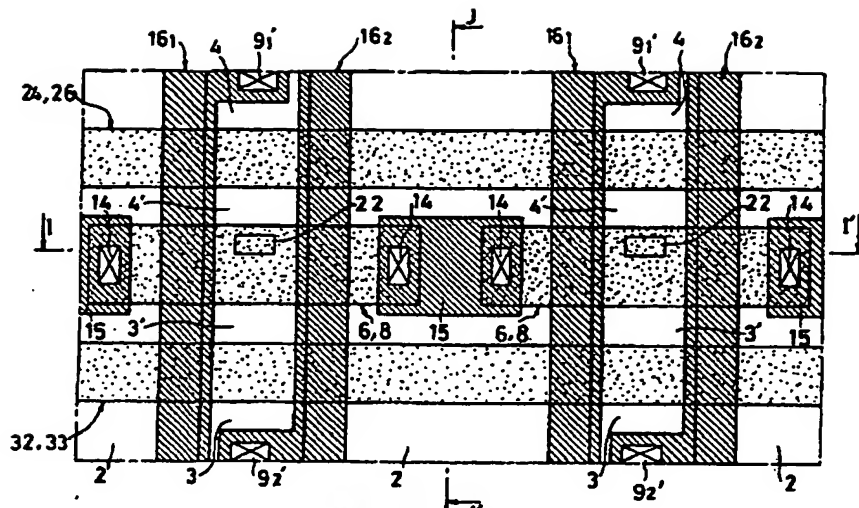
第16図



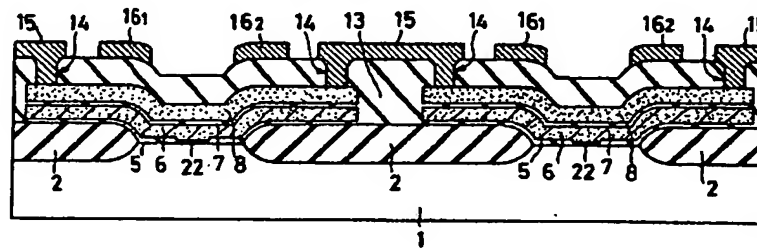
第17図



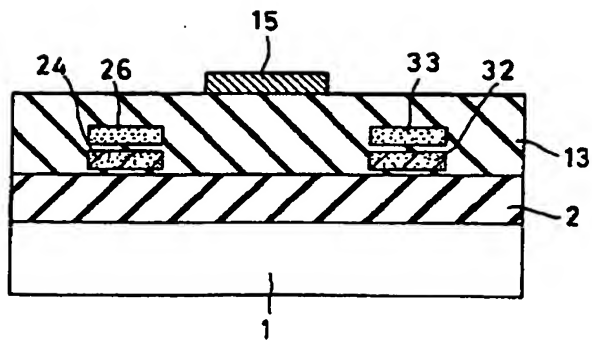
第18図



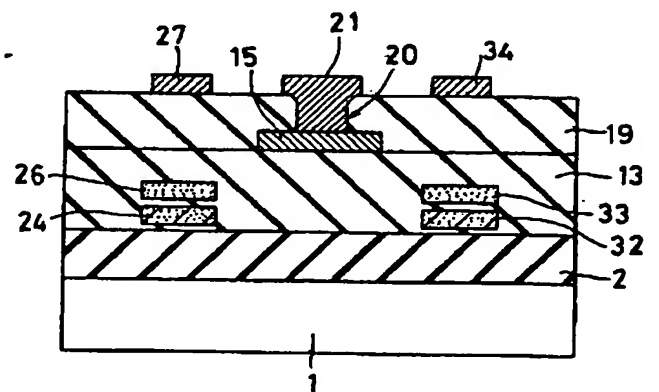
第 19 図



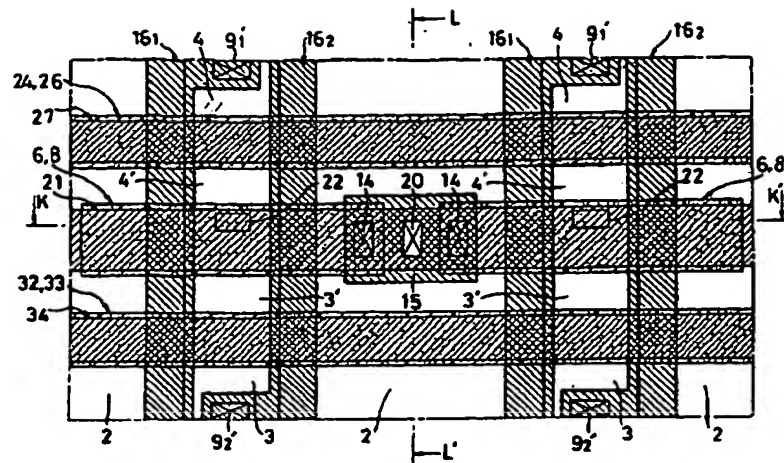
第 20 図



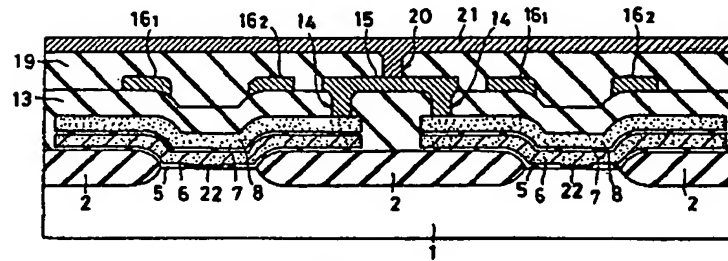
第 21 図



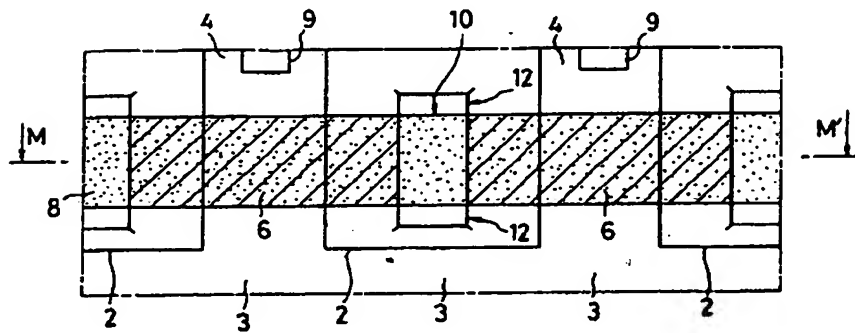
第 24 図



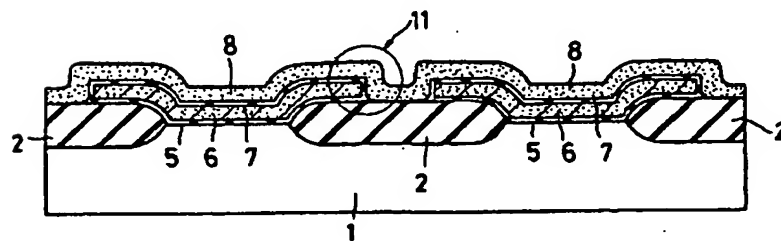
第 22 図



第 23 図



第 25 図



第 26 図